

PATENT ABSTRACTS OF JAPAN

RECEIVED

DEC 26 2001

GROUP 3600

(11) Publication number : 11-008392

(43) Date of publication of application : 12.01.1999

(51) Int.CI.

H01L 29/786

H01L 21/336

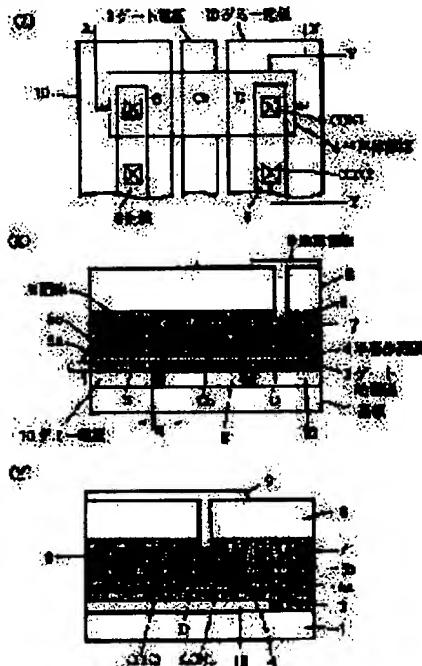
(21) Application number : 09-173268

(71) Applicant : SONY CORP

(22) Date of filing : 13.06.1997

(72) Inventor : URAZONO TAKENOBU

(54) THIN-FILM TRANSISTOR



(57) Abstract:

PROBLEM TO BE SOLVED: To improve operating characteristics and the manufacturing yield of a thin-film transistor having a bottom gate structure.

SOLUTION: This thin-film transistor has a bottom gate structure laminating a gate electrode 2, a gate-insulating film 3, and a semiconductor thin film 4 in the order from the bottom. The gate electrode 2 consists of a conductive film formed on a substrate 1. The semiconductor thin film 4 is formed on a layer higher than the gate electrode 2 via the gate insulation film 3 and has a channel region Ch, and a source region S and a drain region D arranged at both sides of the channel region Ch. A wiring 6 is connected to the source region S and the drain region D. A dummy electrode 10 comprising a conductive film, the same layer of the gate electrode 2, is left on the under side of the source region S and the drain region D via the gate insulation film 3. This structure enables substantial elimination of steps to be generated extending across the channel region Ch, the source region S, and the drain region D in the semiconductor thin film 4.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-8392

(43)公開日 平成11年(1999)1月12日

(51)Int.Cl.⁶
H 01 L 29/786
21/336

識別記号

F I
H 01 L 29/78
6 1 7 A
6 2 7 G
6 2 7 A

審査請求 未請求 請求項の数6 FD (全7頁)

(21)出願番号 特願平9-173268

(22)出願日 平成9年(1997)6月13日

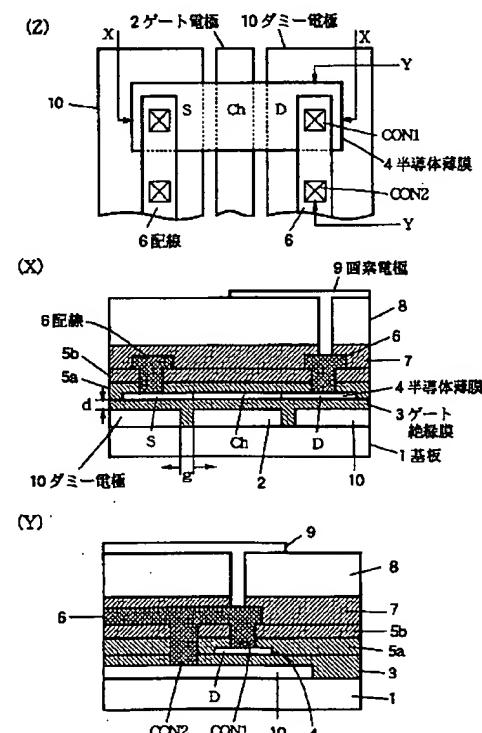
(71)出願人 ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 浦園 丈展
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【課題】 ボトムゲート構造を有する薄膜トランジスタの動作特性並びに製造歩留りを改善する。

【解決手段】 薄膜トランジスタは下から順にゲート電極2、ゲート絶縁膜3、半導体薄膜4を重ねたボトムゲート構造を有する。ゲート電極2は基板1の上に形成された導体膜からなる。半導体薄膜4はゲート絶縁膜3を介してゲート電極2より上層に形成され、ゲート電極2に整合するチャネル領域Chとその両側に位置するソース領域S及びドレイン領域Dとを備えている。配線6がソース領域S及びドレイン領域Dに接続している。ソース領域S及びドレイン領域Dの下側にもゲート絶縁膜3を介してゲート電極2と同層の導体膜からなるダミー電極10が残されており、実質的にチャネル領域Ch、ソース領域S及びドレイン領域Dに渡って半導体薄膜4に段差が生じない様にしている。



【特許請求の範囲】

【請求項1】 基板の上に形成された導体膜からなるゲート電極と、ゲート絶縁膜を介して該ゲート電極より上層に形成され該ゲート電極に整合するチャネル領域とその両側に位置するソース領域及びドレイン領域とを備えた半導体薄膜と、該ソース領域及びドレイン領域に接続する配線とを備えた薄膜トランジスタであって、該ソース領域及びドレイン領域の下側にもゲート絶縁膜を介して該ゲート電極と同層の導体膜からなるダミー電極が残されており、実質的にチャネル領域、ソース領域及びドレイン領域に遮って半導体薄膜に段差が生じない様にしたことを特徴とする薄膜トランジスタ。

【請求項2】 前記ゲート電極と前記ダミー電極とは互いに分離して形成していることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記ゲート電極と前記ダミー電極とは該ゲート絶縁膜の厚みより大きな距離を隔てて互いに分離していることを特徴とする請求項2記載の薄膜トランジスタ。

【請求項4】 前記ダミー電極は配線を介して該ソース領域及びドレイン領域と同電位に接続されていることを特徴とする請求項2記載の薄膜トランジスタ。

【請求項5】 前記半導体薄膜はエネルギービームの照射により結晶化した多結晶半導体薄膜であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項6】 所定の間隙を介して接合した一対の基板と、該間隙に保持された電気光学物質とを有し、一方の基板には画素電極とこれを駆動する薄膜トランジスタが集積形成され、他方の基板には対向電極が形成された表示装置であって、

前記薄膜トランジスタは該一方の基板の上に形成された導体膜からなるゲート電極と、ゲート絶縁膜を介して該ゲート電極より上層に形成され該ゲート電極に整合するチャネル領域とその両側に位置するソース領域及びドレイン領域とを備えた半導体薄膜と、該ソース領域及びドレイン領域に接続する配線とを備え、

該ソース領域及びドレイン領域の下側にもゲート絶縁膜を介して該ゲート電極と同層の導体膜からなるダミー電極が残されており、実質的にチャネル領域、ソース領域及びドレイン領域に遮って半導体薄膜に段差が生じない様にしたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁基板の上に下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を積層したボトムゲート型の薄膜トランジスタに関する。

【0002】

【従来の技術】図6を参照して従来のボトムゲート型薄膜トランジスタの製造方法並びに構造を簡潔に説明する。まず(1)に示す様に、ガラスなどからなる基板1

の上に薄膜トランジスタの基本構造を形成する。具体的には、基板1の表面にゲート電極2、ゲート絶縁膜3、半導体薄膜4を下から順に重ねてボトムゲート型薄膜トランジスタの基本構造を形成している。例えば、基板1の上にMo又はCrをスパッタリングで成膜し、所定の形状にパタニングしてゲート電極2としている。次に、CVD法でSiO₂を堆積しゲート絶縁膜3としている。更に、LPCVD法で非晶質シリコンを堆積し、半導体薄膜4としている。次に(2)に示す様に結晶化工程(結晶化アーナー)を行う。即ち、基板1の表面にエネルギービーム28を照射して、半導体薄膜4を非晶質シリコンから多結晶シリコンに転換する。エネルギービーム28としては例えばエキシマレーザビームを用いることができる。続いて(3)に示す様に不純物注入工程を行い、半導体薄膜4に選択的に不純物29を注入して薄膜トランジスタ22のソース領域S及びドレイン領域Dを形成する。具体的には、ゲート電極2に整合するマスク30を半導体薄膜4の上に形成し、これを介して例えばイオンシャワードーピングにより不純物29を注入する。この結果、マスク30の直下は不純物29が注入されないので薄膜トランジスタ22のチャネル領域Ch(活性層)となる。最後に(4)に示す様に、ボトムゲート型薄膜トランジスタ22を層間絶縁膜5で被覆する。この層間絶縁膜5は例えばPSGをCVDにより堆積して得られる。この層間絶縁膜5にエッティングでコンタクトホールを開口した後、アルミニウムなどをスパッタリングで成膜し所定の形状にパタニングして配線6に加工する。この配線6はコンタクトホールを介して薄膜トランジスタ22のソース領域Sに電気接続している。又、ITOなどからなる透明導電膜をスパッタリングで成膜した後所定の形状にパタニングして画素電極9に加工する。この画素電極9はコンタクトホールを介して薄膜トランジスタ22のドレイン領域Dに電気接続している。係る構成を有する薄膜半導体装置はアクティブマトリクス型表示パネルの駆動基板に好適である。

【0003】

【発明が解決しようとする課題】上述したボトムゲート構造はレーザアーナーによる結晶化を行なう時に問題がある。結晶化する半導体薄膜4は、概ねチャネル領域Chとなる部分がゲート電極2の直上に位置し、ソース領域S及びドレイン領域Dとなる部分はガラスなどからなる基板1上にある。この為、レーザビームの照射によりエネルギーを与えた時、ガラスなどからなる基板1上と金属からなるゲート電極2上では、熱の伝導状態や放散状態に相違が出てくる。よって、最適なレーザエネルギーがチャネル領域Chとソース領域S及びドレイン領域Dで異なる為、大きなキャリア移動度が得られる最適エネルギーでのレーザ照射ができなくなる。即ち、レーザアーナーによる結晶化を行なう場合、金属ゲート電極2上の半導体薄膜4とガラス基板1上の半導体薄膜4の両

者に同時にレーザビームなどのエネルギービーム28を照射する訳であるが、一旦溶融化して冷却過程で固化する間に、金属ゲート電極2上では熱がゲート配線を伝わって水平方向に放散する為、比較的短時間に固化する。この為、金属ゲート電極2上とガラス基板1上とでは結晶化した半導体薄膜4の結晶粒が異なり、キャリア移動度が均一でなくなる。極端に言うと、金属ゲート電極2上の半導体薄膜4の結晶粒径を大きくしようとすると、ガラス基板1上の半導体薄膜4は照射エネルギーが高くなり過ぎて蒸発することがある。逆に、ガラス基板1上の半導体薄膜4の結晶状態を正常にしようとすると、金属ゲート電極2上の半導体薄膜4は結晶粒径が小さくなってしまう。

【0004】他の問題点として、ボトムゲート型の薄膜トランジスタはソース領域S及びドレイン領域Dとチャネル領域Ch(活性層)とがゲート電極2の段差を乗り越えて形成されている。一般に、半導体薄膜4は平坦な部分に比べ、段差部分は厚みが2割程度小さくなる傾向がある。半導体薄膜4が局所的に薄くなると、その部分に応力が集中する為段切れの原因になる。又、チャネルが不均一に形成される為トランジスタの動作特性に悪影響を及ぼす。

【0005】

【課題を解決する為の手段】上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明に係る薄膜トランジスタは、基本的な構成として、基板の上に形成された導体膜からなるゲート電極と、ゲート絶縁膜を介して該ゲート電極より上層に形成され該ゲート電極に整合するチャネル領域とその両側に位置するソース領域及びドレイン領域とを備えた半導体薄膜と、該ソース領域及びドレイン領域に接続する配線とを備えている。特徴事項として、該ソース領域及びドレイン領域の下側にもゲート絶縁膜を介して該ゲート電極と同層の導体膜からなるダミー電極が残されており、実質的にチャネル領域、ソース領域及びドレイン領域に渡って半導体薄膜に段差が生じない様にしている。

【0006】好ましくは、前記ゲート電極と前記ダミー電極とは互いに分離して形成されている。又好ましくは、前記ゲート電極と前記ダミー電極とは該ゲート絶縁膜の厚みより大きな距離を隔てて互いに分離している。又好ましくは、前記ダミー電極は配線を介して該ソース領域及びドレイン領域と同電位に接続されている。又好ましくは、前記半導体薄膜はエネルギービームの照射により結晶化した多結晶半導体薄膜である。

【0007】本発明によれば、ボトムゲート構造の薄膜トランジスタを形成する際、半導体薄膜の下側にはチャネル領域となる部分に加えソース領域及びドレイン領域となる部分にも導体層が配されている。半導体薄膜4の下地構造が基板全体に渡って同じ様になることで、半導体薄膜の結晶化にレーザアニールを用いる際、チャネル

領域の部分とソース領域及びドレイン領域の部分の結晶性がほぼ同等となり、トランジスタ動作特性の改善が可能になる。又、ゲート電極と同層の導体膜でダミー電極を設けることにより、ソース領域からチャネル領域を通ってドレイン領域に至るまで段差が緩和されることになり、段差部分での断線を防ぐことが可能になる。なお、ゲート電極とダミー電極は同時に形成できる為、何ら工程増加を生じることなく段差の緩和が可能である。特に、ゲート電極とダミー電極とを電気的に分離し、且つソース領域及びドレイン領域とそれぞれのダミー電極とを同電位とすることで、薄膜トランジスタの寄生容量を抑制できる。

【0008】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明に係る薄膜トランジスタを示す模式図である。(Z)は薄膜トランジスタの平面図である。(X)は、(Z)に示したX-X線に沿って切断した断面図である。(Y)は、同じく(Z)に示したY-Y線に沿って切断した断面図である。図示する様に、本薄膜トランジスタはボトムゲート構造を有し、下から順にゲート電極2とゲート絶縁膜3と半導体薄膜4を積層したものである。ゲート電極2は金属などの導体膜からなり、ガラスなどからなる基板1の上にパタニング形成されている。半導体薄膜4はゲート絶縁膜3を介してゲート電極2より上層に形成されている。この半導体薄膜4は例えばレーザビームなどのエネルギービームの照射により結晶化した多結晶シリコンである。半導体薄膜4はゲート電極2に整合するチャネル領域Chとその両側に位置するソース領域S及びドレイン領域Dとを備えている。半導体薄膜4は二層の層間絶縁膜5a, 5bにより被覆されている。その上には配線6がパタニング形成されている。配線6は二層の層間絶縁膜5a, 5bに開口したコンタクトホールを介して、薄膜トランジスタのソース領域S及びドレイン領域Dに電気接続している。(Z)では、ドレイン領域Dと配線6とを接続するコンタクトホールをCON1で表わしている。配線6はパシベーション膜7により被覆されている。その上には平坦化膜8を介して画素電極9がパタニング形成されている。画素電極9は平坦化膜8及びパシベーション膜7に開口したコンタクトホールを介して、ドレイン領域D側の配線6に電気接続している。

【0009】特徴事項として、ソース領域S及びドレイン領域Dの下側にも、ゲート絶縁膜3を介してゲート電極2と同層の導体膜からなるダミー電極10が残されている。ダミー電極10はゲート電極2と同時に形成することができる。この様に、ダミー電極10を設けることで、チャネル領域Ch、ソース領域S及びドレイン領域Dに渡って半導体薄膜4に段差が生じない様にしている。本実施形態では、ゲート電極2とその両側の各ダミー電極10とは互いに分離して形成されている。ただ

し、本発明はこれに限られるものではなくゲート電極2とダミー電極10を連続的に形成してもよい。ゲート電極2と各ダミー電極10とはゲート絶縁膜3の厚みdより大きな距離gを隔てて互いに分離している。これにより、ゲート電極2とダミー電極10との間の寄生容量を抑制することができる。ゲート電極2を中心にしてその右側に配されたダミー電極10は配線6を介してドレイン領域Dと同電位に接続されている。即ち(Y)及び(Z)に示す様に、ダミー電極10はコンタクトホールCON2及びCON1を介してドレイン領域Dに電気接続している。ドレイン領域Dと対応するダミー電極10とは同電位になる為、両者の間に寄生容量が生じない。同様に、左側のダミー電極10も配線6を介して対応するソース領域Sに電気接続されている。以上の様に、ゲート電極2の両側にダミー電極10を配することで、半導体薄膜4の段差を緩和しており、断線故障などを防いでいる。

【0010】図2を参照して、図1に示した薄膜トランジスタの製造方法を詳細に説明する。まず(X1)に示す様に、基板1として、例えばガラスなどからなる透明絶縁材料を用意する。基板1に含まれる不純物の汚染を抑える為、必要に応じSiO₂やSiN_xなどの下地膜をあらかじめ成膜する。本実施例では、この下地膜は形成していない。基板1の上に直接導体膜を成膜し、更にこれをパタニングしてゲート電極2に加工する。この時同時に、ゲート電極2と分離してダミー電極10も形成する。この際、ゲート電極2と各ダミー電極10との間の距離は両者の相互作用で形成される寄生容量を抑えるため、ゲート電極2と後で形成されるチャネル領域との間の距離より長く設定する。導体材料としては、MoT_a、Mo、Ta、Al、Al-Si、W、Doped-Siなどを用いることができる。

【0011】次に(X2)及び(Y2)に示す様に、ゲート絶縁膜3を成膜する。その材料としてはSiN_x、SiO₂などを用いることができる。更に重ねて、半導体薄膜4を成膜する。例えば、a-Si(非晶質シリコン)、poly-Si(多結晶シリコン)、Si-Geなどを500°C以下の温度で減圧CVD法もしくはプラズマCVD法にて成膜する。本実施例では、プラズマCVD法によりa-Siを50nmの厚みで成膜した。このa-Siには多量の水素が含まれている為、400°Cで1時間熱アニールを行い、脱水素化を図った。この後、レーザビームなどのエネルギーを照射して半導体薄膜4を非晶質シリコンから多結晶シリコンに転換する。この際、半導体薄膜4の下部にはゲート電極2とダミー電極10が配されている為、基板1全体に渡って熱的条件が均一化されている。この為、半導体薄膜4はレーザアニールによって基板1の全体に渡り均一に結晶化する。この後、半導体薄膜4をパタニングして個々の薄膜トランジスタに対応した素子領域に分離する。更に

アイランド状に分離した素子領域に選択的に不純物を注入することで、ソース領域S及びドレイン領域Dを形成する。両者の間には不純物が注入されないチャネル領域が残される。なお、P又はAsなどのN型不純物を注入することでNチャネル薄膜トランジスタが得られる。BなどのP型不純物を注入することでPチャネル薄膜トランジスタが形成できる。不純物注入は非質量分離型のイオンドーピング又は質量分離型のイオンインプランテーションを用いることができる。この後、注入された不純物を活性化する為再びレーザビームを照射する。この後半導体薄膜4を層間絶縁膜で被覆する。本実施例では、100nmの厚みを有するSiO₂からなる層間絶縁膜5aと同じく100nmの厚みを有するSiN_xからなる層間絶縁膜5bを重ねて成膜した。場合によっては、積層構造の層間絶縁膜に代え、単層構造の層間絶縁膜を用いることができる。二層の層間絶縁膜5a、5bに、薄膜トランジスタのソース領域及びドレイン領域と連通するコンタクトホールCON1を開口する。同時に、ソース領域S及びドレイン領域Dとこれらの下部に配した各ダミー電極10とを互いに接続する為のコンタクトホールCON2をエッチングで開口する。

【0012】続いて(X3)及び(Y3)に示す様に、Al、W、Moなどの金属を成膜し、所定の形状にパタニングして配線6に加工する。配線6はコンタクトホールCON1を介して薄膜トランジスタのソース領域及びドレイン領域Dに電気接続する。同時に、コンタクトホールCON1及びCON2を介して、ソース領域とその下部のダミー電極10とを互いに電気接続する。同様に、ドレイン領域とその下部に位置するダミー電極10も互いに電気接続される。

【0013】最後に(X4)に示す様に、配線6を被覆する様にパシベーション膜(保護膜)7を成膜する。本実施例では、SiO₂を100nmの厚みで堆積した。更に、その上にアクリル樹脂などからなる平坦化膜8を成膜する。パシベーション膜7及び平坦化膜8を貫通する様にコンタクトホールを開口する。平坦化膜8の上にITOなどからなる透明導電膜を成膜し、所定の形状にパタニングして画素電極9に加工する。画素電極9は上述したコンタクトホールを介してドレイン領域側の配線6に電気接続する。

【0014】図3は、ボトムゲート型薄膜トランジスタの動作特性を示すグラフであり、横軸にソース/ドレイン間電圧VDSを取り、縦軸にソース/ドレイン間電流IDSを取ってある。又、パラメータとしてゲート電圧VGSを取ってある。カーブAは図1に示した本発明に係る薄膜トランジスタの動作特性を示し、カーブBは図6に示した従来の薄膜トランジスタの動作特性を示す。グラフから明らかな様に、ダミー電極を設けることで薄膜トランジスタの動作特性が改善されており、特に電流駆動能力の改善が認められる。

【0015】図4は、図1に示した薄膜トランジスタ及び画素電極を集積形成した薄膜半導体装置を駆動基板として組み立てられたアクティブマトリックス型液晶表示装置の一例を示す模式的な斜視図である。この表示装置は駆動基板1と対向基板12との間に電気光学物質として液晶13を保持したパネル構造となっている。駆動基板1には画素アレイ部14と周辺回路部とが集積形成されている。周辺回路部は垂直走査回路15と水平走査回路16とに分かれている。又、駆動基板1の上端側には外部接続用の端子電極17も形成されている。各端子電極17は接続用の配線18を介して垂直走査回路15及び水平走査回路16に接続している。これらの周辺回路部はボトムゲート構造の薄膜トランジスタで構成されている。画素アレイ部14には互いに交差するゲート配線19と信号配線20が形成されている。ゲート配線19は垂直走査回路15に接続し、信号配線20は水平走査回路16に接続している。両配線19、20の交差部には画素電極9とこれを駆動する薄膜トランジスタ22とが形成されている。これらの具体的な構造は図1に示した通りである。一方、対向基板12の内表面には図示しないが対向電極が形成されている。

【0016】最後に、図5は図4に示した薄膜半導体装置の製造方法を模式的に表わしている。最初に成膜工程を行い、比較的低融点（例えば600°C以下）のガラス材料からなる透明な絶縁基板1の上に半導体薄膜4を形成する。この半導体薄膜4は前駆状態では非晶質又は比較的小さな粒径を有する多結晶であり、例えば非晶質シリコンや多結晶シリコンからなる。次に、半導体薄膜4の加熱処理を含む一連の処理を行い、1パネル分の面積区画23に薄膜トランジスタを集積形成する。この面積区画23は、画素アレイ部14と、これを駆動する周辺回路部として水平走査回路16及び垂直走査回路15を含んでいる。これらには何れも本発明に従ってボトムゲート型の薄膜トランジスタが集積形成される。最後に、画素アレイ部14に1画面分の画素電極をマトリックス状に形成して表示用薄膜半導体装置を完成する。これは表示用駆動基板として、図4に示した様にアクティブマトリックス型液晶表示パネルなどに組み込まれる。

【0017】本実施例では面積区画23に対してレーザパルス28をワンショットで照射し1パネル分の半導体薄膜4の一括加熱処理を行う。例えば、半導体薄膜4が前駆状態で非晶質シリコンである時には、一括加熱により一旦溶融した後結晶化し比較的大粒径の多結晶シリコンが得られる。レーザパルス28としては例えばエキシマレーザ光を用いることができる。エキシマレーザ光は強力なパルス紫外光である為、シリコンなどからなる半導体薄膜4の表面層で吸収され、その部分の温度を上昇させるが、絶縁基板1まで加熱することはない。この時、半導体薄膜4の下部にはゲート電極及びダミー電極を構成する導体層が面積区画23の全体に渡って配され

ており、熱的条件が均一化されている。従って、半導体薄膜4は均一に加熱処理可能である。この結果、均一な結晶構造を有する多結晶シリコンが得られる。絶縁基板1に成膜する前駆膜としては、低温で作成できるプラズマCVDシリコン膜などを選ぶことができる。ガラス材料からなる透明絶縁基板1に例えば厚みが30nmのプラズマCVDシリコン膜を成膜した場合、XeC1エキシマレーザ光を照射した時の溶融閾値エネルギーは130mJ/cm²程度である。膜厚全体が溶融するには例えば220mJ/cm²程度のエネルギーが必要である。溶融してから固化するまでの時間は例えば70nsである。

【0018】

【発明の効果】以上説明したように、本発明によれば、ボトムゲート構造の薄膜トランジスタにおいて、ソース領域及びドレイン領域の下側にもゲート絶縁膜を介してゲート電極と同層の導体膜からなるダミー電極が残されており、基板全体に渡って熱的条件を一様にするとともに、実質的にチャネル領域、ソース領域及びドレイン領域に渡って半導体薄膜に段差が生じない様にしている。半導体薄膜の下地構造が熱的に一様化されることで、半導体薄膜の結晶化にレーザアニールを用いる際、チャネル領域とソース領域及びドレイン領域の結晶性がほぼ同等になり、薄膜トランジスタの動作特性の均一化が図れる。又、ソース領域及びドレイン領域とチャネル領域間の段差が緩和されることにより、段切れなどを防ぐことが可能になり、製造歩留りの改善につながる。なお、ゲート電極とダミー電極は同時に形成できるので、何ら工程増加を伴うことなく段差の緩和化が達成できる。更に、ゲート電極とダミー電極とを互いに電気的に分離し且つ各ダミー電極とソース領域及びドレイン領域をそれぞれ同電位とすることで、薄膜トランジスタの寄生容量増加を抑えることが可能である。

【図面の簡単な説明】

【図1】本発明に係る薄膜トランジスタを示す平面図及び断面図である。

【図2】本発明に係る薄膜トランジスタの製造方法を示す工程図である。

【図3】薄膜トランジスタの動作特性を示すグラフである。

【図4】本発明に係る薄膜トランジスタを用いて形成されたアクティブマトリックス型液晶表示装置を示す模式的な斜視図である。

【図5】図4に示したアクティブマトリックス型液晶表示装置の製造方法を示す模式図である。

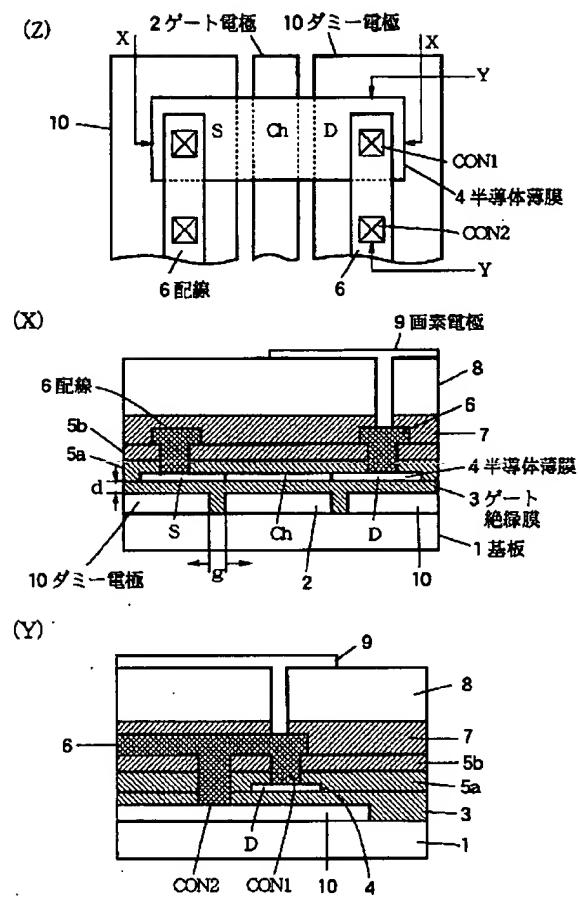
【図6】従来の薄膜トランジスタの製造方法並びに構造を示す模式図である。

【符号の説明】

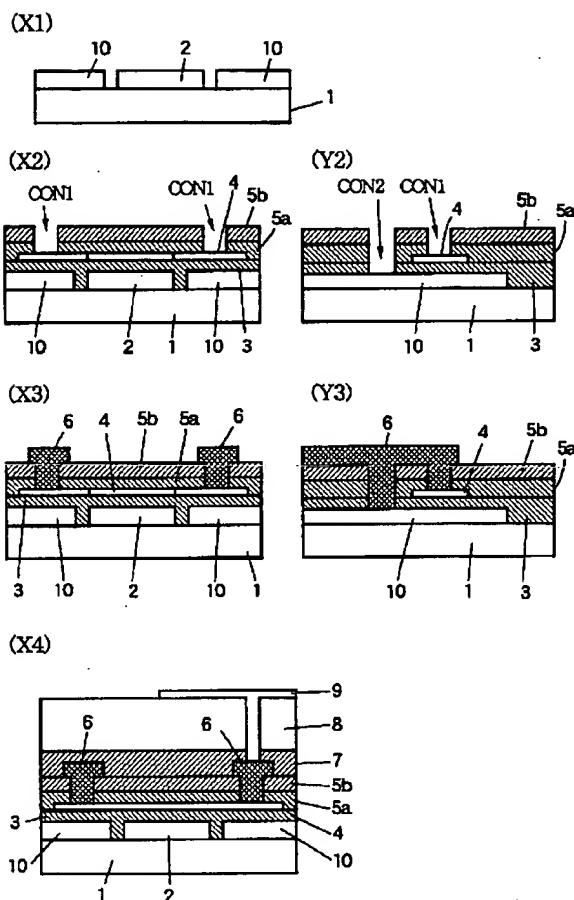
1…基板、2…ゲート電極、3…ゲート絶縁膜、4…半導体薄膜、6…配線、9…面積区画

素電極、10・・・ダミー電極

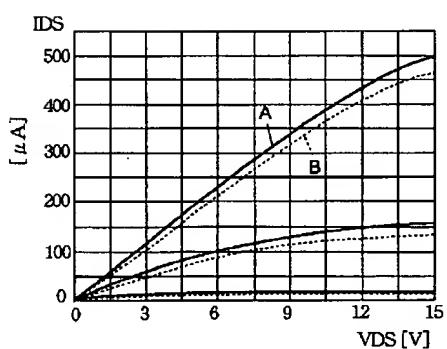
【図1】



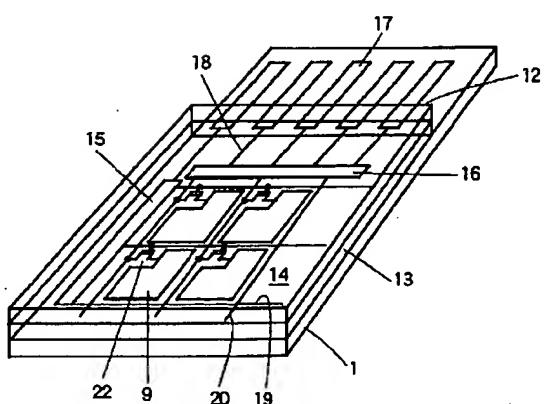
【図2】



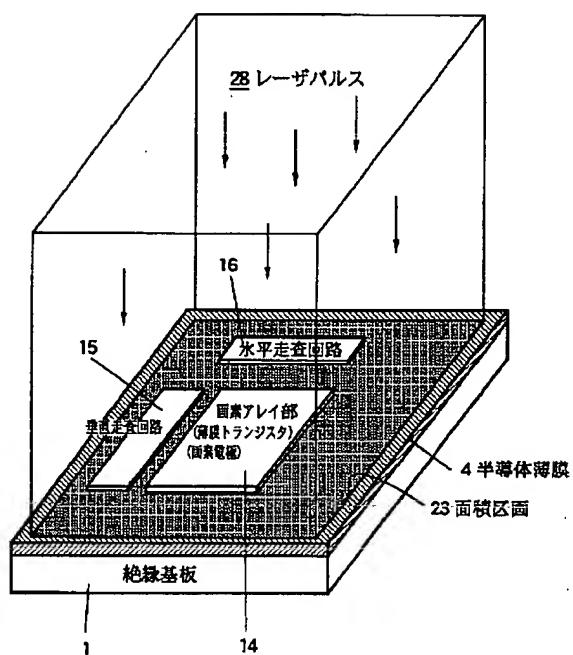
【図3】



【図4】



【図5】



【図6】

